

FORMING METHOD OF CONDUCTOR PATTERN

Publication number: JP5129760

Publication date: 1993-05-25

Inventor: SATO KAZUAKI; IIDA KENJI

Applicant: FUJITSU LTD

Classification:

- International: H05K1/09; H01L21/48; H01L23/498; H05K3/06; H05K3/10; H05K3/24; H05K3/38; H05K1/09; H01L21/02; H01L23/48; H05K3/06; H05K3/10; H05K3/24; H05K3/38; (IPC1-7): H05K1/09; H05K3/06; H05K3/24

- European: H01L21/48C4; H01L23/498M; H05K3/10S; H05K3/38E

Application number: JP19910289576 19911106

Priority number(s): JP19910289576 19911106

Also published as:



EP0541436 (A2)

US5284696 (A1)

EP0541436 (A3)

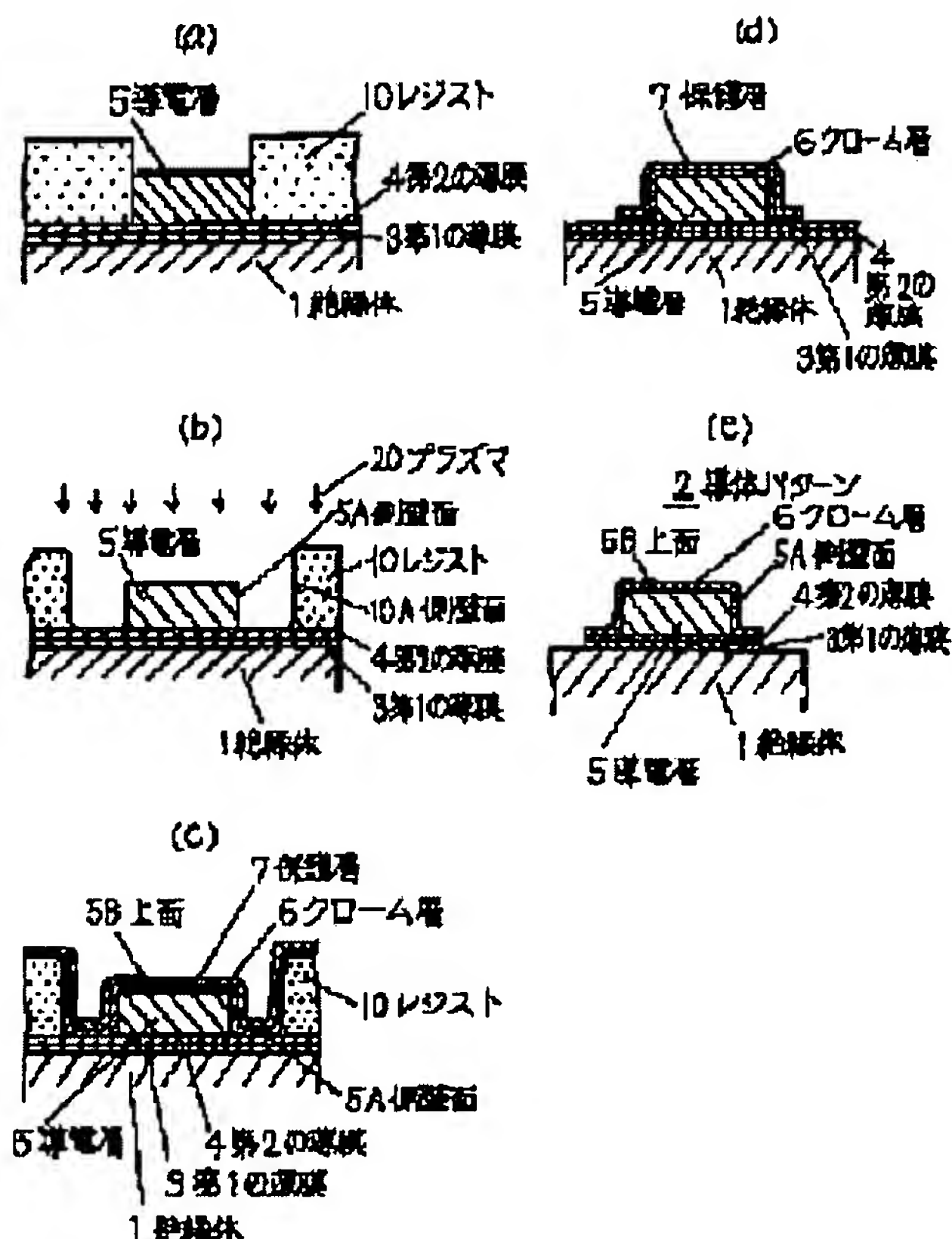
EP0541436 (B1)

Report a data error here

Abstract of JP5129760

PURPOSE: To protect a conductor pattern against side etching at patterning.

CONSTITUTION: A first thin film 3 and a conductive layer 5 formed of copper Cu laminated on the second thin film 4 are provided to form a conductor pattern 2, where the conductive layer 5 is patterned through a resist 10, a prescribed gap is formed between the side walls 10A to enable the second thin film 4 to be exposed between them, a protective layer 7 is laminated on the conductive layer 5, the resist 10, and the exposed part of the second thin film 4, and the resist 10 and the protective layer 7 are removed through a lift-off method. Furthermore, the first and the second thin film are removed through etching, and lastly the protective layer 7 is removed.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-129760

(43) 公開日 平成5年(1993)5月25日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K	3/24	A 6736-4E		
	1/09	C 8727-4E		
	3/06	L 6921-4E		

審査請求 未請求 請求項の数4(全 6 頁)

(21) 出願番号 特願平3-289576

(22) 出願日 平成3年(1991)11月6日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 佐藤 和昭

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 飯田 憲司

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

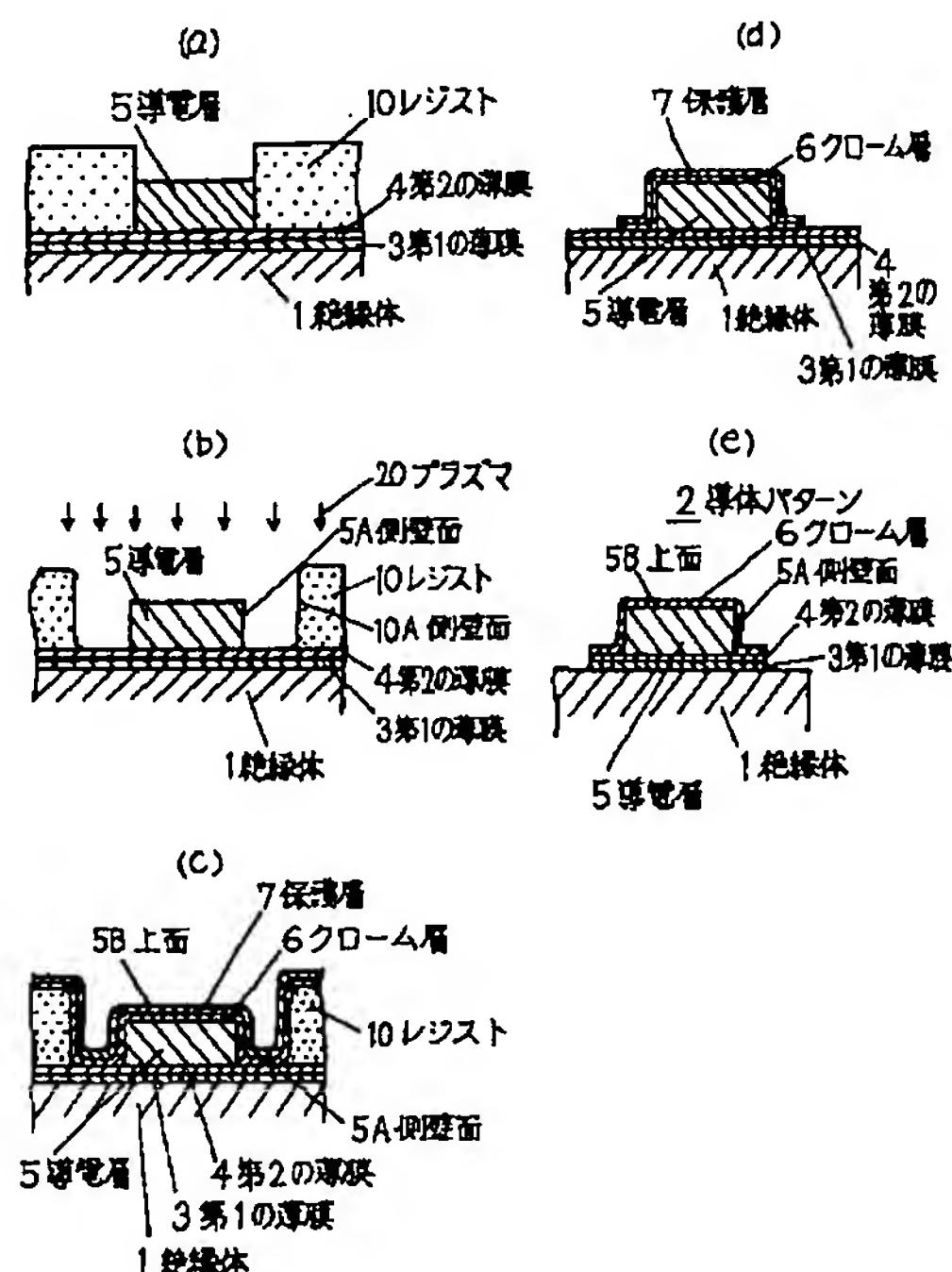
(54) 【発明の名称】 導体パターンの形成方法

(57) 【要約】 (修正有)

【目的】 導体のパターンニングに際して、サイドエッチングを防ぐ。

【構成】 第1の薄膜3と、第2の薄膜4の上層に積層された銅Cuより成る導電層5とによって形成される導体パターンの形成方法であって、前記導電層5のパターンニングを行うレジスト10の側壁面10Aとの間に所定のギャップを形成し、該第2の薄膜4を露出させ、該導電層5と該レジスト10、および、該第2の薄膜4の露出部に保護層7とを積層し、リフトオフによって該レジスト10および該保護層7とを除去し、更に、エッチングによって第1と第2の薄膜を除去し、最後に、該保護層7を除去する。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 ポリイミド材より成る絶縁体(1)の所定面(1A)に形成される導体パターン(2)が該所定面(1A)に積層されたクロームCrより成る第1の薄膜(3)と、該第1の薄膜(3)の上層に積層された銅Cuより成る第2の薄膜(4)と、該第2の薄膜(4)の上層に積層された銅Cuより成る導電層(5)とによって形成される導体パターンの形成方法であって、

前記第2の薄膜(4)の上層に積層され、前記導電層(5)のパターンニングを行うレジスト(10)の側壁面(10A)と、該導電層(5)の側壁面(5A)との間に所定のギャップ(S)を形成し、該ギャップ(S)によって該第2の薄膜(4)を露出させ、該導電層(5)と該レジスト(10)、および、該第2の薄膜(4)の露出部にクローム層(6)と該クローム層(6)を保護する保護層(7)とを積層し、リフトオフによって該レジスト(10)および該レジスト(10)に積層された該クローム層(6)と該保護層(7)とを除去し、更に、エッチングによって第1と第2の薄膜(3,4)を除去し、最後に、該保護層(7)を除去することで前記導電層(5)の両側壁面(5A)と上面(5B)とがクローム層(6)によって覆われるように形成されることを特徴とする導体パターンの形成方法。

【請求項2】 請求項1記載の前記ギャップ(S)の形成が、前記絶縁体(1)の全体を所定温度に冷却し、所定温度の冷却後、プラズマの放射によって前記レジスト(10)を部分的に除去することで形成されることを特徴とする導体パターンの形成方法。

【請求項3】 請求項1記載の前記第1と第2の薄膜(3,4)を除去するエッチングが前記導電層(5)の上層に形成された前記保護層(7)をマスクとして行われることを特徴とする導体パターンの形成方法。

【請求項4】 請求項1記載の前記保護層(7)が前記クローム層(6)の上層に積層された二酸化ケイ素 SiO_2 による第1の層(8)と、該第1の層(8)の上層に積層されたチタンTi、または、クロームCrによる第2の層(9)とによって形成されることを特徴とする導体パターンの形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ポリイミド材より成る絶縁体の所定面に積層された第1の薄膜の上層に第2の薄膜と、導電層とを積層することで導体パターンの形成が行われる導体パターンの形成方法に関する。

【0002】電子機器に用いられる多層基板は、銅Cuよりなる導電層による導体パターンと、ポリイミドより成る絶縁層とを積層することで形成されている。近年、このような導体パターンは微細化が図られるようになり、特に、導体パターンを覆うポリイミドによって銅Cuが拡散されることで、導体パターンの周囲に生じる高誘電体により導体パターンに伝播される信号の伝播速度に悪影

響を及ぼすこと、または、導電層と絶縁層との間に生じる空洞により絶縁耐圧が劣化することが問題となるようになった。

【0003】そこで、多層基板の製造に際して、導体パターンを覆うポリイミドによって銅Cuが拡散されることのないよう形成されることが望まれている。

【0004】

【従来の技術】従来は、図4の従来の説明図に示すように構成されていた。図4の(a)は側面断面図、(b1)～(b5)は製造工程図である。

【0005】図4の(a)に示すように、ポリイミドより成る絶縁体1の所定面1Aに積層された第1と第2の薄膜3,4の上層に銅Cuより成る導電層5を形成し、更に、導電層5の上面5Bにはクローム層13を積層することで導体パターン12の形成が行われていた。

【0006】このような導体パターン12の形成は、(b1)に示すように、先づ、絶縁体1の所定面1Aにスパッタによって1000～2000Åの膜厚のクロームCrによる第1の薄膜3と、0.2～0.5 μmの膜厚の銅Cuによる第2の薄膜4とを積層し、第2の薄膜4が第1の薄膜3を介して絶縁体1に強固に固着されるようにし、更に、第2の薄膜4の上層にはレジスト10を積層し、レジスト10を現像することで形成されたパターンによって露出された第2の薄膜4に銅メッキによって厚み4～6 μmの厚さの導電層5の形成を行い。導電層5の形成後は、(b2)に示すように、導電層5とレジスト10との上面にスパッタによって1000～2000Åの膜厚のクローム層13の積層を行う。

【0007】次に、リフトオフによってレジスト10およびレジスト10の上面に積層されたクローム層13を除去し、(b3)に示すように導電層5の上面5Bにクローム層13が形成される状態にし、更に、クローム層13の上層には(b4)に示すように、レジスト層14を形成し、(b5)に示すように、レジスト層14をマスクとして第1と第2の薄膜3,4をウエットエッチングによって除去して、第1と第2の薄膜3,4のパターンニングを行う。最後に、レジスト層14を除去することで導体パターン12の形成が行われていた。

【0008】したがって、このような導電層5の上面5Bにクローム層13を積層することで導体パターン12を覆うようにポリイミドによる絶縁層が積層されても、クローム層13を介して絶縁層の積層が行われることになり、導電層5の銅Cuがポリイミドに拡散されることのないよう配慮されていた。

【0009】

【発明が解決しようとする課題】しかし、このような導電層5の上面5Bにクローム層13を積層することで導体パターン12を形成することでは、第1と第2の薄膜3,4をウエットエッチングによって除去する際、図4の(a)に示す点線Aの如く、サイドエッチングによって導電層5の側壁面5A、および、第1と第2の薄膜3,4の側壁面が

所定の幅Bより狭くなり、更に、導電層5の上面5Bはクローム層13によって覆われていても、側壁面5Aは露出されることになるため、絶縁層の積層に際しては側壁面5Aに於ける銅Cuが拡散されることになる。

【0010】したがって、前述のような信号伝播速度、および、絶縁耐圧の低下が生じる問題を有していた。そこで、本発明では、導電層5の上面5Bおよび側壁面5Aをクローム層によって完全に覆うことで、パターンニングに際してのサイドエッチング、および、側壁面に於ける拡散を防止することを目的とする。

【0011】

【課題を解決するための手段】図1は本発明の原理説明図であり、図1の(a)～(e)に示すように、ポリイミド材より成る絶縁体1の所定面1Aに形成される導体パターン2が該所定面1Aに積層されたクロームCrより成る第1の薄膜3と、該第1の薄膜3の上層に積層された銅Cuより成る第2の薄膜4と、該第2の薄膜4の上層に積層された銅Cuより成る導電層5とによって形成される導体パターンの形成方法であって、前記第2の薄膜4の上層に積層され、前記導電層5のパターンニングを行うレジスト10の側壁面10Aと、該導電層5の側壁面5Aとの間に所定のギャップSを形成し、該ギャップSによって該第2の薄膜4を露出させ、該導電層5と該レジスト10、および、該第2の薄膜4の露出部にクローム層6と該クローム層6を保護する保護層7とを積層し、リフトオフによって該レジスト10および該レジスト10に積層された該クローム層6と該保護層7とを除去し、更に、エッチングによって第1と第2の薄膜3,4を除去し、最後に、該保護層7を除去することで前記導電層5の両側壁面5Aと上面5Bとがクローム層6によって覆われるように形成され、また、前記ギャップSの形成が、前記絶縁体1の全体を所定温度に冷却し、所定温度の冷却後、プラズマの放射によって前記レジスト10を部分的に除去することで形成されるように、更に、前記第1と第2の薄膜3,4を除去するエッチングが前記導電層5の上層に形成された前記保護層7をマスクとして行われるように、または、前記保護層7が前記クローム層6の上層に積層された二酸化ケイ素SiO₂による第1の層8と、該第1の層8の上層に積層されたチタンTi、または、クロームCrによる第2の層9とによって形成されるように構成する。

【0012】このように構成することによって前述の課題は解決される。

【0013】

【作用】即ち、第1と第2の薄膜3,4が積層された絶縁体1に形成されたレジスト10と、レジスト10のパターンニングによって形成された導電層5との互いの側壁面10Aと5Aとの間に、所定のギャップSを形成するようレジスト10を部分的に除去し、側壁面10Aと5Aとの間に形成されたギャップによって第2の薄膜4を露出させ、導電層5とレジスト10、および、第2の薄膜4の露出部に対

してクローム層6と、クローム層6を保護する保護層7とを積層し、リフトオフによってレジスト10と、レジスト10に積層されたクローム層6と保護層7とを除去し、更に、導電層5の上層に形成された保護層7をマスクとしてエッチングを行うことで第1と第2の薄膜3,4のパターンニングを行い、最後に、保護層7を除去し、導電層5の両側壁面5Aと、上面5Bとがクローム層6によって覆われるようにしたものである。

【0014】したがって、第1と第2の薄膜3,4のパターンニングを行うウエットエッチングに際しては、導電層5がクローム層6によって覆われているため、前述のようなサイドエッチングを避けることができ、更に、導電層5がポリイミドによる絶縁層によって覆われる場合は、クローム層6を介して行われることになり、拡散を防ぐことができ、導体パターンに於ける信号の伝播速度および絶縁耐圧の低下を防ぐことができ、品質の向上が図れる。

【0015】

【実施例】以下本発明を図2および図3を参考に詳細に説明する。図2は本発明による方法によって形成された導体パターンの斜視図、図3の(a)～(g)は本発明の製造工程図である。全図を通じて、同一符号は同一対象物を示す。

【0016】図2に示すように、絶縁体1の所定面1Aにパターンニングされる導体パターン2は、絶縁体1に積層されたクロームCrより成る第1の薄膜3と、第1の薄膜3の上層に、更に積層された銅Cuより成る第2の薄膜4とを介して積層された導電層4とによって形成され、また、導電層4の両側壁面5Aと上面5Bとがクローム層6によって覆われるように構成したものである。

【0017】このように導電層4の両側壁面5Aと上面5Bとがクローム層6によって覆われるように形成することは図3に示す製造工程によって製造することが行える。図3の(a)に示すように、絶縁体1の所定面1Aにスパッタによって積層されたクロームCrによる第1の薄膜3と、銅Cuによる第2の薄膜4との上層にレジスト10を形成し、レジスト10の除去された箇所に銅メッキによって導電層4の形成が行われた状態の時、先づ、絶縁体1の全体を-10～-60℃の温度で、30～90分間冷却することで、レジスト10に収縮が生じ、(b)に示すように、導電層5の側壁面5Aと、レジスト10の側壁面10Aとの間にC部に示す亀裂が発生する。

【0018】そこで、(c)に示すように、C部に示す亀裂部に対して矢印のようにプラズマ20を放射させることでレジスト10を部分的に除去し、導電層5の側壁面5Aとレジスト10の側壁面10Aとの間にギャップSを形成し、第2の薄膜4を露出させるようにする。

【0019】次に、(d)に示すように、レジスト10の上面、第2の薄膜4の露出部、および導電層5の上面5Bの全体を覆うようスパッタによって厚みが1000～2000Åの

クローム層6の積層を行い、更に、クローム層6の上層には第1の層8と第2の層9とより成る保護層7の積層を行う。

【0020】この場合の第1の層8は、二酸化ケイ素 SiO_2 をスパッタによって1000~2000Åの厚みに形成したものであり、また、第2の層は、チタンTi、または、クロームCrを同様にスパッタによって1000~2000Åの厚みに形成したものである。

【0021】このようにクローム層6および保護層7の積層が行われたレジスト10をリフトオフによって除去し、(e)に示すように、導電層5の上面5B、および、第2の薄膜4の露出部に積層されたクローム層6と保護層7とが残る状態に形成することができる。

【0022】そこで、保護層7をマスクとしてウエットエッチングを行い、第2の薄膜4のパターンニングを行い、更に、第1の薄膜3のパターンニングを行うことで(f)に示すように、保護層7によって覆われない箇所の第1と第2の薄膜3,4の除去が行われる。

【0023】したがって、このようなウエットエッチングに際しては、導電層5の両側壁面5Aおよび上面5Bがクローム層6と保護層7とによって覆われているため、導電層5にサイドエッチングが生じることがないようにすることが行える。

【0024】最後に、ウエットエッチングによって第1と第2の薄膜3,4の除去を行った後は、保護層7の除去を行うことで(g)に示すように、導電層5の両側壁面5Aと、上面5Bとがクローム層6によって覆われた導体パターン2の形成を行うことができる。

【0025】また、保護層7の除去は、第2の層9がチタンTiの場合は、エッチング液としてフッ化水素酸硝酸 $\text{HF} + \text{HNO}_3$ を用い、クロームCrの場合はフェリシアン化カリウム水酸化ナトリウム $\text{K}_3\text{Fe}(\text{CN})_6 + \text{NaOH}$ を用いることで容易に除去を行うことができ、更に、第2の層8の二酸化ケイ素 SiO_2 は、エッチング液としてはチタンTiの場合と同じ液を用いることで容易に除去することが行える。

【0026】このように導電層5の両側壁面5Aと、上面5Bとがクローム層6によって覆われた導体パターン2を形成することで、多層化によって導体パターン2がポリイミドによる絶縁層によって覆われることが行われても、銅Cuの拡散が生じることのないようにすることができる。

【0027】実際には、(a)に示す製造工程では、絶縁体1にはDC4KWの電位により、200℃の温度で約10分間のスパッタによって1000Åの膜厚のクロームCrによる第1の薄膜3の積層を行い、次に、同様の条件で、5000Åの膜厚の銅Cuによる第2の薄膜4の積層を行い、更に、アクリル系ネガ型のレジストを塗布し、80℃の温度で30分間乾燥することで硬化させ、300mjのPLA露光により露光し、露光後、現像することでレジスト10に所定のバ

ターンを形成し、そのパターンによって第2の薄膜4が露出された箇所には硫酸銅メッキ槽によって約20分間のメッキ処理を行い、0.4μmの厚みの導電層5の形成を行う。

【0028】(b)に示す製造工程では、温度-10℃で約30分間冷却し、導電層5と、レジスト10との間にC部に示す亀裂が発生するよう塑性変形を行う。

(c)に示す製造工程では、温度30~50℃で、約30分間のプラズマアッシャーによって部分的にレジスト10の除去を行う。

【0029】(d)に示す製造工程では、DC4KWの電位により、50℃の温度で約15分間のスパッタによって1500Åの膜厚のクロームCrによるクローム層6を、RF1KWの電位により、50℃の温度で約40分間のスパッタによって3000Åの膜厚の二酸化ケイ素 SiO_2 による第1の層8を、DC3KWの電位により、50℃の温度で約10分間のスパッタによって1000Åの膜厚のチタンTiによる第2の層9をそれぞれ積層する。

【0030】(e)に示す製造工程では、常温で約20分間、塩化メチレン CH_2Cl_2 を用いることでリフトオフを行う。

(f)に示す製造工程では、温度40℃で、約40秒間、過硫酸アンモニウム塩化ナトリウム $\text{NH}_4\text{SO}_4 + \text{NaCl}$ 液によってエッチングすることで5000Åの厚みの銅Cuによる第2の薄膜4のエッチングを行い、更に、温度32℃で、約2分間、フェリシアン化カリウム水酸化ナトリウム $\text{K}_3\text{Fe}(\text{CN})_6 + \text{NaOH}$ 液によってエッチングすることで1000Åの厚みのクロームCrによる第1の薄膜3のエッチングを行う。

【0031】(g)に示す製造工程では、先づ、常温で約30秒間、フッ化水素酸硝酸 $\text{HF} + \text{HNO}_3$ 液によるエッチングによって1000Åの厚みのチタンTiによる第2の層9の除去を行い、次に、同様の条件のエッチングによって3000Åの厚みの二酸化ケイ素 SiO_2 による第1の層8の除去を行うことで、クローム層6が導電層5を覆うように形成することをを行った。

【0032】

【発明の効果】以上説明したように、本発明によれば、絶縁体に積層されたレジストによって形成された導電層の両側壁面にギャップを形成し、導電層を覆うクローム層と保護層とを積層することで、導体パターンを形成する導電層の両側壁面と上面とがクローム層によって覆われるようにすることができる。

【0033】したがって、第1と第2の薄膜のパターンニングに際してのウエットエッチングによるサイドエッチングを防止すること、および、絶縁層のポリイミドによる拡散を確実に防ぐことができ、従来のような信号伝播速度および絶縁耐圧の低下を防ぐことが行え、品質の向上が図れ、実用的効果は大である。

【図面の簡単な説明】

【図1】 本発明の原理説明図

7

8

【図2】 本発明による方法によって形成された導体パターンの斜視図

【図3】 本発明の製造工程図

【図4】 従来の説明図

【符号の説明】

1 絶縁体

2 導体パターン

3 第1の薄膜

5 導電層

7 保護層

9 第2の層

1A 面

5B 上面

4 第2の薄膜

6 クローム層

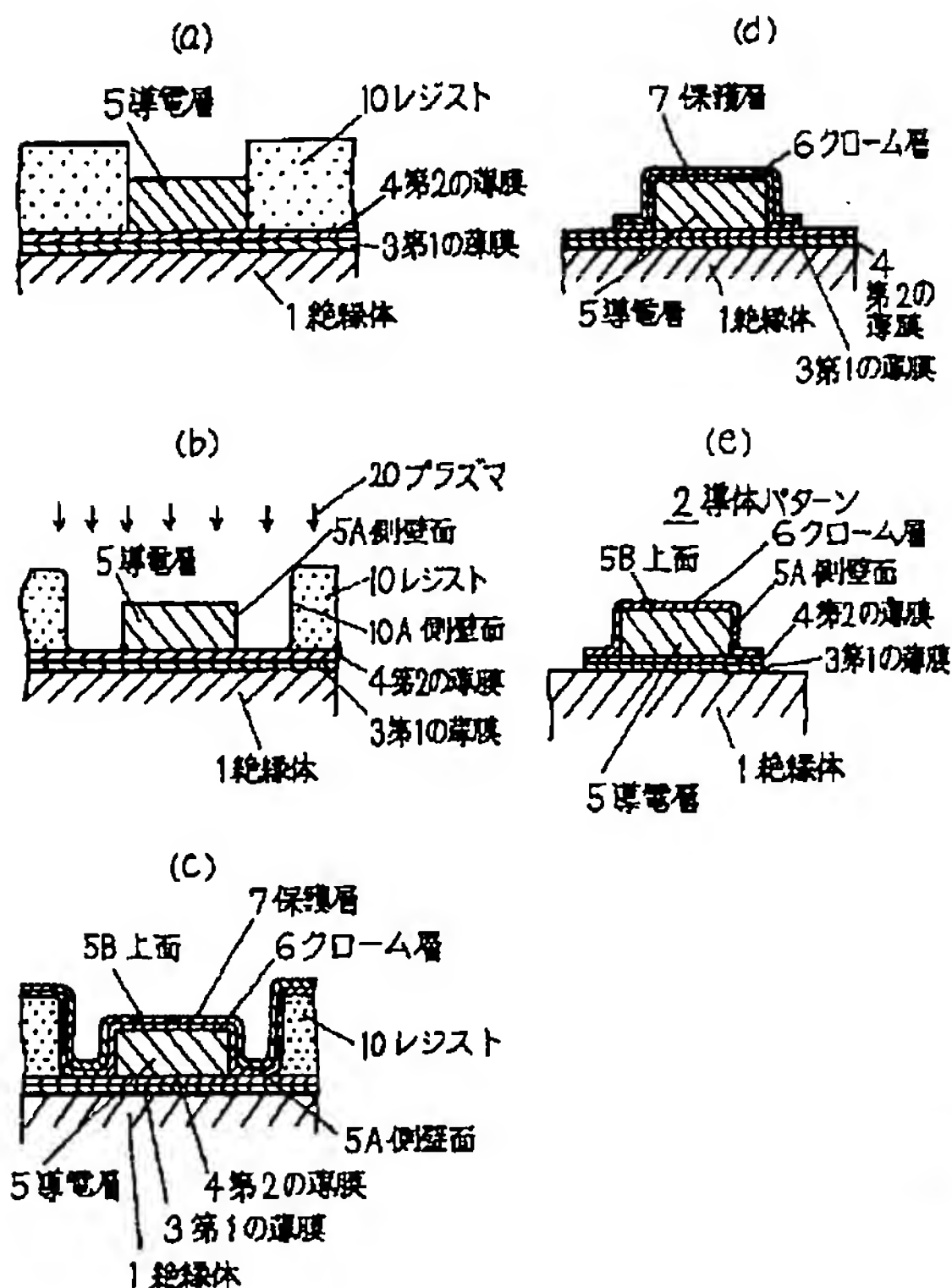
8 第1の層

10 レジスト

5A, 10A 側壁面

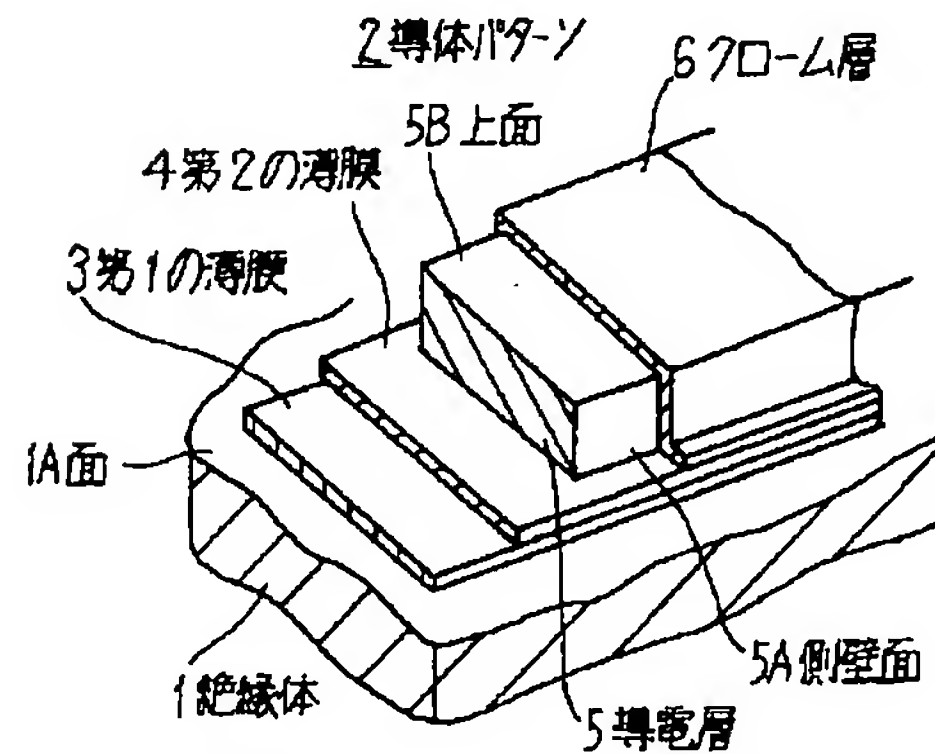
【図1】

本発明の原理説明図



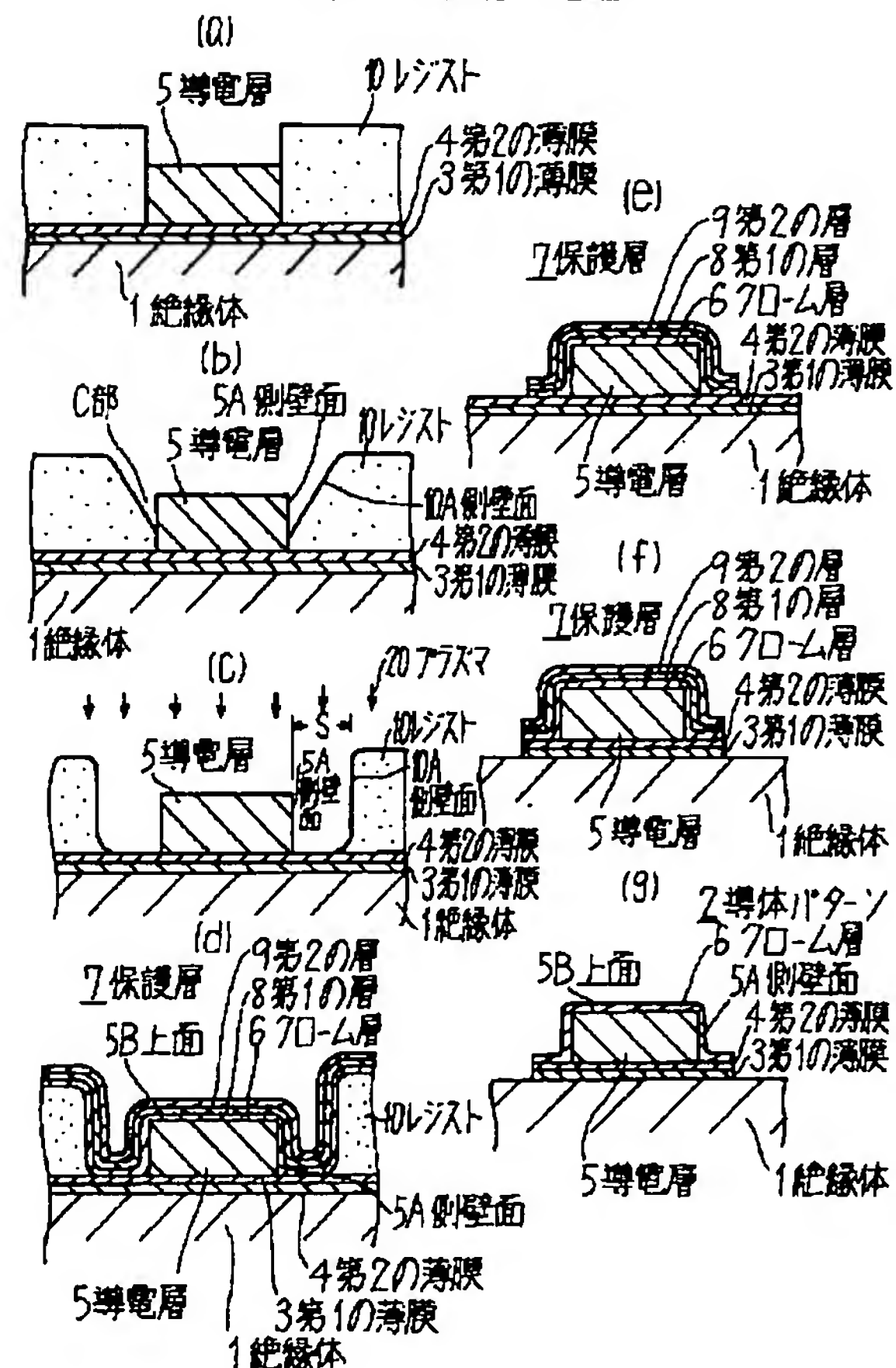
【図2】

本発明による方法によって形成された導体パターン



【図3】

本発明の製造工程図



【図4】

従来の説明図

